



Présentation

Code interne : ESE8FA-UEA

Description

Niveau de connaissances (savoirs) :

N1 : débutant

N2 : intermédiaire

N3 : confirmé

N4 : expert

Les connaissances (savoirs) attendues à l'issue des enseignements de l'UE

Comprendre la structure interne et le fonctionnement des architectures reconfigurables (C2, N3)

Consolider les principes de fonctionnement des architectures FPGA et des flots de conception associés (C2, N3), (C3, N3)

Les acquis d'apprentissage en termes de capacités, aptitudes et attitudes attendues à l'issue des enseignements de l'UE

Organiser et réaliser, en autonomie sur plusieurs semaines, les étapes de déroulement d'un projet propre. Proposer des solutions pour la mise en œuvre de fonctions et sous fonctions de l'électronique. (C2, N3) (C3,N3) (C7, N2)(C8,N2).

Appréhender la syntaxe et les concepts avancés du langage de description d'architecture VHDL : (C3, N3), (C4, N3)

Réalisation d'un projet d'architecture numérique, de la spécification architecturale au déverminage sur circuit FPGA : (C4, N2), (C5, N2), (C7,N2), (C8,N2)

Liste des enseignements

	Nature	CM	CI	TD	TI	TP	Coef.
Architecture des processeurs	Élément constitutif		28h				0,3
Conception conjointe sur circuit FPGA	Élément constitutif		28h				0,4
Projet électronique sur carte	Élément constitutif						0,3

Infos pratiques

Contacts

Responsable UE

Christophe Jego

✉ Christophe.Jego@bordeaux-inp.fr