Processeur pour l'embarqué

Composante
ENSEIRB-MATMECA

Présentation

Code interne : ES7MI205

Description

Cet enseignement vise à donner aux étudiants les connaissances nécessaires sur les architectures et microarchitectures des processeurs modernes. Pour cela, il s'appuye notamment sur le jeu d'instructions RISC-V afin d'illustrer les différents mécanismes.
Différents concepts sont abordés:
Les architectures de jeu d'instructions,
Le pipeline et les problèmes de dépendances,
Les microarchitectures superscalaires,
Les mémoires caches et la hiérarchie mémoire,
Les mécanismes de spéculation.

Pré-requis obligatoires

EN110: électronique Numérique
MI100: Architecture des microcontrôleurs
IF126: Langage C pour l'électronique

Syllabus

Les architectures de jeu d'instructions.
Le pipeline et les problèmes de dépendances.
Les microarchitectures superscalaires.
Les mémoires caches et la hiérarchie mémoire.
Les mécanismes de spéculation.

Informations complémentaires

Informations non contractuelles.
Dernière mise à jour le 27 juin 2024

Bibliographie

Documents en ligne

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Continu	Participation Active			0.15		
Contrôle Continu	Compte-Rendu			0.15		
Epreuve Terminale	Ecrit	60		0.7		sans document sans calculatrice

Infos pratiques

Contacts

Mathieu Escouteloup
Mathieu.Escouteloup@bordeaux-inp.fr

Informations non contractuelles.
Dernière mise à jour le 27 juin 2024