Conception conjointe sur FPGA

Composante
ENSEIRB-MATMECA

Présentation

Code interne : ES9EN319

Description

Module théorique et pratique de conception conjointe sur FPGA. Un projet est mené pendant l'ensemble des séances et permet aux étudiants de dérouler le flot de conception d'un système hétérogène et d'expérimenter les problématiques de la discipline d'un point de vue de l'architecte système embarqué, du développeur VHDL et du développeur logiciel.

Pré-requis obligatoires

-VHDL pour FPGA
-C/C++
-Architecture des ordinateurs

Syllabus

-Introduction au Codesign
-Comparaison HW/SW
-Les System On Chip
-L'architecte systeme embarqué
-Le co-design flow
-Le SoftCore microblaze (pipeline, ALU, bus FSL)
-Le design reuse
-Règles de codage VHDL

Modalités de contrôle des connaissances

Informations non contractuelles.
Dernière mise à jour le 08 juillet 2024

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Projet	Rapport			1		

Informations non contractuelles.
Dernière mise à jour le 08 juillet 2024