

Architecture des processeurs II



Présentation

Code interne : EE8EN226

Description

Cet enseignement s'insère dans la continuité du module de première année EN114 et a pour but de renforcer les connaissances en abordant des techniques plus avancées relatives aux processeurs et aux mémoires. La finalité de ce cours est de permettre aux étudiants de comprendre les systèmes multi/many-cœurs les plus sophistiqués. Tout comme EN114, la spécification du jeu d'instructions RISC-V est au cœur de ce module.1 - Introduction à la notion de pipeline2 - Architecture RISC-V pipeline3 - Architecture RISC-V micro-codé4 - Mémoires caches5 - Exécution superscalaire6 - Prédiction de branchement7 - Exécution OoO (Out-of-Order)8 - Renommage de registre9 - Processeur VLIW (Very Long Instruction Word), vectoriel et « Multithreadé »10 - Translation et protection d'adresse11 - Mémoire virtuelle

Pré-requis obligatoires

- EN114 Microprocesseurs (1ère année)

Syllabus

1 - Introduction à la notion de pipeline2 - Architecture RISC-V pipeline3 - Architecture RISC-V micro-codé4 - Mémoires caches5 - Exécution superscalaire6 - Prédiction de branchement7 - Exécution OoO (Out-of-Order)8 - Renommage de registre9 - Processeur VLIW (Very Long Instruction Word), vectoriel et « Multithreadé »10 - Translation et protection d'adresse11 - Mémoire virtuelle

Informations complémentaires

Electronique numérique

Bibliographie



Documents en ligne (pas de support papier)

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Continu Intégral	Contrôle Continu			2		

Infos pratiques

Contacts

Responsable module

Mathieu Escouteloup

✉ Mathieu.Escouteloup@bordeaux-inp.fr