

Présentation

Code interne : EEL5-NUMU1

Description

Cet enseignement a pour but de donner des bases solides aux étudiants dans l'optique d'une meilleure compréhension des architectures modernes des processeurs. Le cours est structuré autour de trois blocs de base : les processeurs, les mémoires et les réseaux d'interconnexions. Chacun de ces blocs est détaillé pour permettre aux étudiants de comprendre comment ils peuvent être intégrés pour construire des systèmes allant des plus simples (mono-cœur) au plus complexes (multi/many-cœurs). La spécification d'un jeu d'instructions est au cœur de cet enseignement.

L'organisation du module est la suivante:

1. Architecture et jeu d'instructions
2. Compilation, procédures et pile
3. Implémentation matériel d'un processeur
4. Mémoire

Heures d'enseignement

CM	Cours Magistraux	6,66h
TD	Travaux Dirigés	2,66h
TDM	Travaux Dirigés sur Machine	4h
TI	Travaux Individuels	6h

Pré-requis obligatoires

- EN102 - Electronique Numérique
- PG108 Unix - Langage C (1ère année)

Syllabus

- 1 - Architecture et jeu d'instructions
- 2 - Compilation, procédures et pile
- 3 - Implémentation matériel d'un processeur
- 4 - Mémoire

Informations complémentaires

Architectures des processeurs

Bibliographie

Documents en ligne (pas de support papier)

Modalités de contrôle des connaissances

Évaluation initiale / Session principale

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
Contrôle Terminal	Ecrit	90		1		sans document sans calculatrice

Seconde chance / Session de rattrapage

Type d'évaluation	Nature de l'évaluation	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'évaluation	Note éliminatoire de l'évaluation	Remarques
Epreuve terminale	Ecrit	90		1		sans document sans calculatrice

Infos pratiques

Contacts

Responsable module

Christophe Jégo

✉ Christophe.Jego@bordeaux-inp.fr